



Patent

IFW
Customer No. 31561
Application No.: 10/711,673
Docket No.13714-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chang et al.
Application No. : 10/711,673
Filed : Sep 30, 2004
For : HIGH VOLTAGE DEVICE AND HIGH VOLTAGE
DEVICE FOR ELECTROSTATIC DISCHARGE
PROTECTION CIRCUIT
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93118470,
filed on: 2004/6/25.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec 20, 2004

By:

Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

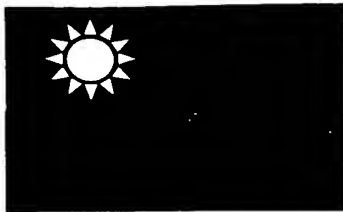
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2004 年 06 月 25 日
Application Date

申請案號：093118470
Application No.

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

申請人：聯詠科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 10 月
Issue Date

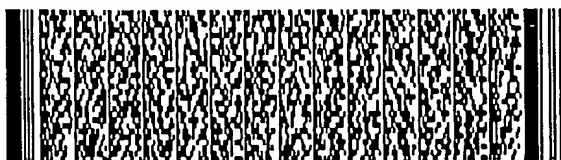
發文字號：09320948150
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	用於靜電放電保護電路之高電壓元件及高電壓元件
	英 文	HIGH VOLTAGE DEVICE FOR ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT AND HIGH VOLTAGE DEVICE
二、 發明人 (共2人)	姓 名 (中文)	1. 張智毅 2. 洗立人
	姓 名 (英文)	1. CHANG, CHYH-YIH 2. HSIEN, LI-JEN
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北縣新莊市中和街125巷20號9樓 2. 台中市東山路一段146巷56號
	住居所 (英文)	1. 9F., NO. 20, LANE 125, JHONGHE ST., SINJHUANG CITY, TAIPEI COUNTY 242, TAIWAN (R.O.C.) 2. NO. 56, LANE 146, TUNG-SHAN RD. SEC. 1, TAICHUNG, TAIWAN, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. NOVATEK MICROELECTRONICS CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹縣創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 2F., NO. 13, INNOVATION ROAD I, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. HO, TAI-SHUNG

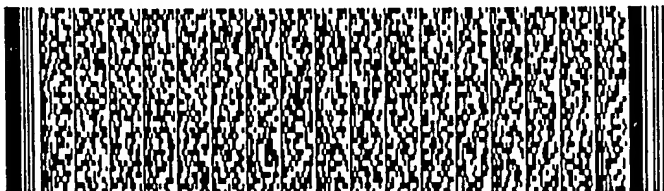


四、中文發明摘要 (發明名稱：用於靜電放電保護電路之高電壓元件及高電壓元件)

一種用於靜電放電保護電路之高電壓元件，包括：第一型磊晶矽層，配置在第一型基底中；第一型井區，配置在第一型磊晶矽層中；第二型井區，配置在第一型磊晶矽層中，且第二型井區由一淡摻雜區與一濃摻雜區所構成，其中淡摻雜區與第一型井區鄰接，而濃摻雜區位於部分的第一型井區與淡摻雜區的下方；閘極堆疊結構，配置在部分第一型井區與淡摻雜區上；第二型第一摻雜區與第二型第二摻雜區，分別配置在閘極堆疊結構兩側之淡摻雜區與第一型井區中；第一隔離結構，配置在淡摻雜區中，且位於閘極堆疊結構與第二型第一摻雜區之間；第一型摻雜區，配置在第一型井區中，且與第二型第二摻雜區鄰接。

五、英文發明摘要 (發明名稱：HIGH VOLTAGE DEVICE FOR ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT AND HIGH VOLTAGE DEVICE)

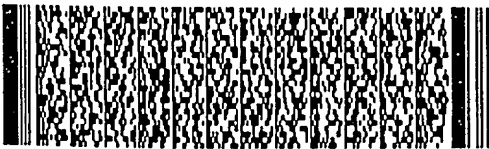
A high voltage device for electrostatic discharge protective circuit is provided. The high voltage device for electrostatic discharge protective circuit is consisted of a first-type epitaxial silicon layer, located in a first-type substrate; a first-type well, located in the first-type epitaxial silicon layer; a second-type well, located in the first-type epitaxial silicon



四、中文發明摘要 (發明名稱：用於靜電放電保護電路之高電壓元件及高電壓元件)

五、英文發明摘要 (發明名稱：HIGH VOLTAGE DEVICE FOR ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT AND HIGH VOLTAGE DEVICE)

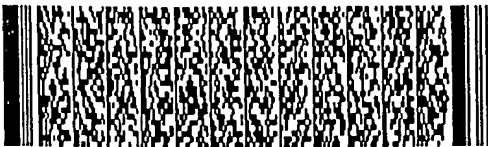
layer, and consisted of a lightly doped region and a heavily doped region, wherein the lightly doped region is located next to the first-type well, and the heavily doped region is partially located under the first-type well and the lightly doped region; a stacked gate structure, partially located on the first-type well and the lightly doped region; a second-type first doped region and



四、中文發明摘要 (發明名稱：用於靜電放電保護電路之高電壓元件及高電壓元件)

五、英文發明摘要 (發明名稱：HIGH VOLTAGE DEVICE FOR ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT AND HIGH VOLTAGE DEVICE)

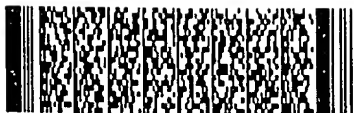
a second-type second doped region, separately located in the lightly doped region and the first-type well beside the stacked gate structure; a first isolation structure, located in the lightly doped region and between the stacked gate structure and the second-type first doped region; and a first-type doped region, located in the first-type well and next to the second-type second



四、中文發明摘要 (發明名稱：用於靜電放電保護電路之高電壓元件及高電壓元件)

五、英文發明摘要 (發明名稱：HIGH VOLTAGE DEVICE FOR ELECTROSTATIC DISCHARGE PROTECTIVE CIRCUIT AND HIGH VOLTAGE DEVICE)

doped region.



六、指定代表圖

(一)、本案代表圖為：圖9

(二)、本案代表圖之元件代表符號簡單說明：

800：基底

802：磊晶矽層

804、806：井區

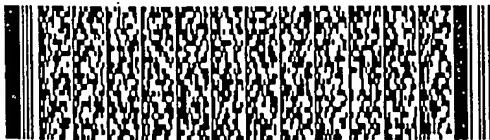
808：閘極堆疊結構

810、812、816、818、820：摻雜區

814、826：隔離結構

822：閘介電層

824：閘極



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

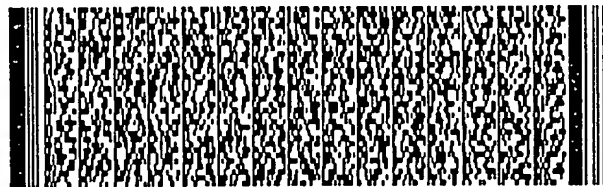
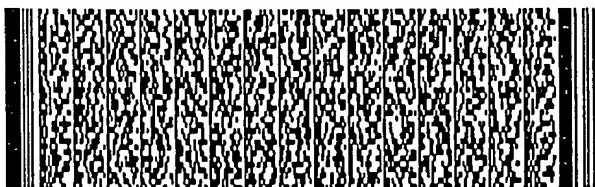
本發明是有關於一種半導體元件，且特別是有關於一種用於靜電放電保護電路之高電壓元件及高電壓元件。

【先前技術】

在地毯上行走的人體，於相對濕度(RH)較高的情況下可檢測出帶有幾百至幾千伏的靜電，而在相對濕度較低的情況下可檢測出帶有一萬伏以上的靜電。另外，用於封裝半導體元件或是測試半導體元件之機台，亦可檢測出幾百，甚至幾千伏的靜電。因此，當上述的帶電體(例如：人體或機台)接觸到晶圓時，將會向晶圓放電，而產生所謂的靜電放電。而且，在靜電放電時的瞬間功率有可能造成晶圓上之半導體元件失效，即使是晶圓經切割、封裝後生產的晶片也同樣遭受靜電放電威脅。

因此，為了避免靜電放電損傷半導體積體電路元件，各種防制靜電放電的方法便因應而生。最常見的方法之一是利用硬體來防制此靜電放電，也就是在內部電路(Internal Circuit)與每一焊墊(Pad)間，均設計一靜電放電保護電路來保護其內部電路。

在美國專利第6,624,487號中，Kunz係揭露兩個N型之金屬氧化半導體電晶體(NMOS)100、102(如圖1所示)。其中電晶體100、102的閘極彼此相互連接，且此二電晶體100、102的汲極104a、104b係形成在N型井區106中，且亦彼此相互連接。而且，此二電晶體100、102其中之一是用來開啟另一個電晶體102中的寄生雙載子電晶體



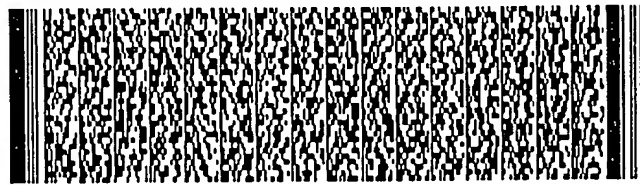
五、發明說明 (2)

(Parasitic Bipolar Transistor)。

此外，在由三星電子公司(Samsung Electronics Co Ltd)所發表之美國專利第6,365,941號中，Rhee係揭露一種靜電放電保護電路(如圖2所示)。此靜電放電保護電路包括MOS 200與一稽納二極體(Zener Diode, ZD)202。其中，MOS的啟始電壓高於內部電路的操作電壓，且低於用以構成內部電路之MOS其汲極接面(Junction)崩潰電壓。而且，多數個個別焊墊可以共用一個具有大接面區域之一般的二極體，以取代各個焊墊所使用之稽納二極體。

另外，在由NEC公司所發表之美國專利第5,932,914號中，Horiguchi係揭露一種靜電崩潰保護元件(如圖3所示)。此元件包括保護二極體300、NPN保護雙載子電晶體302、P型井區304、N型金屬氧化半導體場效電晶體(NMOSFET)306與N型埋入層308。Horiguchi指出因為在操作保護構件時，由保護構件所產生的電子可以被N型埋入層吸收。所以，內部電路可以避免遭受到注入電子的損傷。

除此之外，在由Denso公司所發表之美國專利第6,365,932號中，Kouno等人係揭露一種具有保護二極體之功率金屬氧化半導體電晶體(Power MOS)，且其具有較大之崩潰電壓差與較低之片電阻。此功率MOS是一種汲極在基底上(Up-Drain)型的MOSFET，且此MOSFET於汲極側具有厚度較厚的閘介電層。而且，P型摻雜區400與深N型摻雜區402之間係形成一應用於突波旁通(Surge Bypassing)之

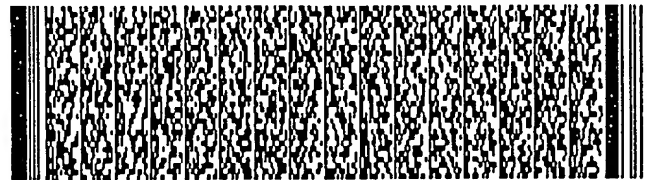
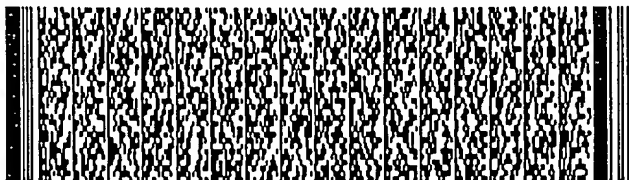


五、發明說明 (3)

保護二極體。

另一方面，近來由於對於高電壓訊號的需求日益增加，因此用於高電壓系統之互補式金屬氧化半導體電晶體(CMOS)製程係因應而生。而所製作出來的電晶體係適用於高電壓與電源積體電路或視訊介面中，其例如是顯示器驅動IC、電源供應器、電源管理器(Power Management)、通訊設備(Telecommunications)、車用(Automotive)電子與工業控制器。而且，為了符合高電壓系統(例如：大於10伏特的操作電壓)的需求，一般在進行MOS的製作時會採用下述的設計，以提高崩潰電壓：其一，於矽基底上形成摻雜濃度較低的磊晶(Epitaxial)矽層，以重建元件區域之摻質濃度，從而增加崩潰電壓與工作電壓。再者，於MOS之源極或汲極中加入更多的摻雜區，以增加接面崩潰電壓，從而增加工作電壓。另外，於汲極與閘極之間配置場氧化層，以增加汲極與閘極之間的崩潰電壓。

圖5是繪示習知一種用於高電壓系統的對稱式NMOS。其中，高電壓N型井區(HVNW)500、502係分別配置於源極/汲極N型濃摻雜區504、506的下方。而且，N型濃摻雜區504與高電壓N型井區500係構成NMOS之源極，而N型濃摻雜區506與高電壓N型井區502係構成NMOS之汲極。由於源極與汲極彼此對稱配置，因此在電路的應用上，源極與汲極可以彼此交換。此外，NMOS之基體區域(Bulk Region)基本上是形成於P型井區508中。而且，基體電位是透過P型磊晶矽層510、P型基底512、P型井區514與P型濃摻雜區



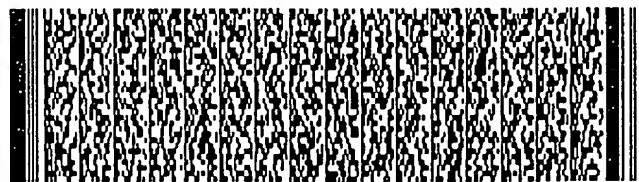
五、發明說明 (4)

516 來控制。此外，此NMOS中的各個構件是藉由CMOS半導體製程，例如離子植入、熱擴散、氧化、微影等製程，形成在厚的P型磊晶矽層510(厚度為3~20 μm)中，而P型磊晶矽層510是在CMOS製程後所留下來的區域。對於用於高電壓系統之NMOS來說，藉由高電壓N型井區/P型井區之間接面所具有之高崩潰電壓可以形成汲極/基體接面。此外，更包括場氧化隔離結構518配置在汲極與多晶矽閘極520之間，因此，可以在此NMOS的汲極或閘極上操作高電壓。

另外，圖6是繪示習知一種用於高電壓系統的非對稱式NMOS。相較於圖5，其在汲極600與閘極602之間配置有場氧化隔離結構604，而在源極606與閘極602之間未配置有場氧化隔離結構604，而且在源極606下方亦未配置有高電壓N型井區608。由於此NMOS之源極與汲極為不對稱之配置，因此在電路設計上源極與汲極不可以交換。

雖然上述只提及NMOS，但藉由將當中N型、P型的摻質型態彼此交換，亦可得到具有相似結構的PMOS。此外，將上述這些元件應用於高電壓系統中皆具有良好的操作。不過，當將上述這些元件應用於靜電放電保護電路中時，由於這些元件具有較高的崩潰電壓，因此其耐受度(Robustness)較差，而且元件所需的面積也較大。

圖7是繪示圖5之對稱式之用於高電壓系統的NMOS，其藉由傳輸線觸波產生器(Transmission Line Pulsing System, TLP System)量測所得之I-V特性的關係圖。其中，TLP I-V特性通常是用以說明元件於靜電放電狀態下



五、發明說明 (5)

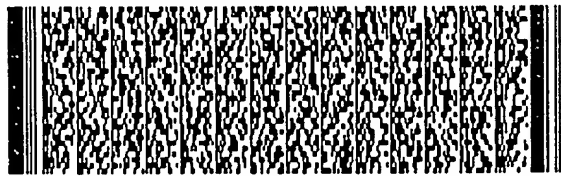
之工作狀態，且I-V特性係指由A點增加，並於B點結束(元件失效)之電流與電壓的關係。由圖7可知，此NMOS並無很好之靜電放電防護的能效。因此，當脈衝電流通過時，由於電壓會提高，因此會產生較高的瞬間功率，而此瞬間功率將可能導致元件遭受損傷。

【發明內容】

有鑑於此，本發明的目的就是在提供一種用於靜電放電保護電路之高電壓元件，以解決習知用於靜電放電保護電路之元件，其耐受度不佳的問題。

本發明的另一目的是提供一種高電壓元件，此高電壓元件除了可於一般電路設計中使用之外，亦可應用於靜電放電保護電路中。

靜路型、一在區一區型區
於電一區構第置雜第井一雜
用保護第雜所；配摻與型第摻
一種保、摻區中係淡區一在一
一電層一雜底區型雜第置第
出放砂第摻基井二摻的配型
提電晶型型型第淡分係二
明靜磊二一一二一型部構第
發於型第第第由二於結；
本用一、、在；係第位疊上
，此第構構置中區中係堆面
的，、結結配層井其區極表
目件底疊離係砂型，雜間分
之元基堆隔層晶二成摻；部
他壓型極一砂磊第構濃方的
其電一閘第晶型且所型下區
及高第、、磊一，區二的雜
述之由區區型第中雜第區摻
上路係井雜一在層摻而雜淡
成電件型摻第置砂濃，摻型
達護元二二，配晶型接淡二
了保壓第第中係磊二鄰型第
為電電、型其區型第區二與
放高區二。井一一井第區
電之井第成型第與型與井



五、發明說明 (7)

雜區、第一型井區與第二型第二摻雜區之間係構成另一寄生雙載子電晶體。因此，由第二型第一摻雜區所流入之脈衝電流，可以藉由此二寄生雙載子電晶體從第二型第二摻雜區導出。換言之，本發明之高電壓元件除了可於一般電路設計中使用之外，亦可應用於靜電放電保護電路中。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

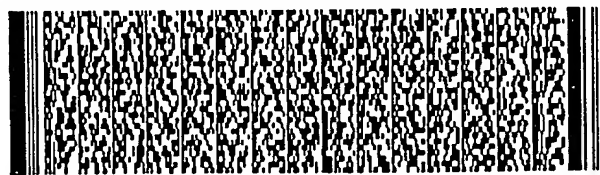
【實施方式】

在下述實施例中，雖僅以靜電放電保護電路說明本發明之高電壓元件之應用，然非用以限定本發明之應用範疇，本發明之高電壓元件亦可應用於一般的電路設計中。此外，依照本發明之較佳實施例所述的高電壓元件，其中所謂第一型為P型，且第二型為N型。

圖8是繪示本發明一較佳實施例之一種高電壓元件之上視圖示意圖；圖9是繪示圖8之高電壓元件其由I-I'剖面所得之剖面示意圖。

請同時參照圖8與圖9，本發明之高電壓元件係由P型基底800、P型磊晶矽層802、P型井區804、N型井區806、閘極堆疊結構808、N型摻雜區810、812、隔離結構814、P型摻雜區816所構成。而且，N型井區806係由N型淡摻雜區818與N型濃摻雜區820所構成，而閘極堆疊結構808係由下層之閘介電層822與上層之閘極824所構成。

其中，P型磊晶矽層802係配置在P型基底800中，且此



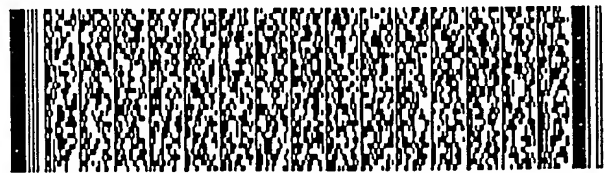
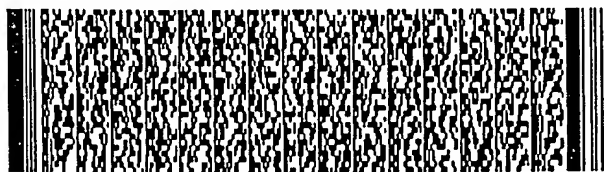
五、發明說明 (8)

P型磊晶矽層802的摻質濃度係小於P型基底800的摻質濃度。此外，P型井區804係配置在P型磊晶矽層802中。

另外，N型井區806係配置在P型磊晶矽層802中，且N型淡摻雜區818與P型井區804鄰接，而N型濃摻雜區820係位於部分的P型井區804與N型淡摻雜區818的下方。其中，N型淡摻雜區818例如是高電壓N型井區(High Voltage N-Type Well, HVNW)，而N型濃摻雜區820例如是N型埋入層(N-Type Buried Layer, NBL)。特別是，此N型濃摻雜區820的寬度W(如圖8所示)並無特別之限制，其只需部分配置於P型井區804下方即可。而且，N型濃摻雜區820的寬度W越小，係表示元件所需之面積越小，即可達到節省面積的功效。

此外，閘極堆疊結構808係配置在P型井區804與N型淡摻雜區818的部分表面上。另外，N型摻雜區810與812係分別配置在閘極堆疊結構808兩側之N型淡摻雜區818與P型井區804中。特別是，上述的N型摻雜區810、N型淡摻雜區818與N型濃摻雜區820係共同作為汲極，而N型摻雜區812係作為源極。換言之，本發明之高壓元件其源極與汲極為非對稱之配置。

此外，隔離結構814係配置在N型淡摻雜區818中，且位於閘極堆疊結構808與N型摻雜區810之間，以提高汲極與閘極之間的崩潰電壓。其中，隔離結構814例如是場氧化(Field Oxide)隔離結構或淺溝渠隔離結構(Shallow Trench Isolation, STI)，其端視不同製程線寬的需求而

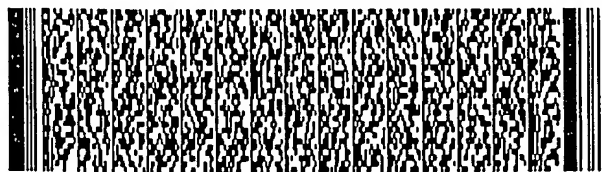


五、發明說明 (9)

定。此外，不同的高電壓元件之間其彼此亦以隔離結構826隔絕。

另外，P型摻雜區816係配置在P型井區804中，且與N型摻雜區812鄰接。而且，由於P型摻雜區816與N型摻雜區812彼此靠近，因此在電路設計上，可以使該二區域的電位藉由一次操控而完成。此外，P型摻雜區816與P型井區804係共同作為一基體區域，且由於此基體區域與P型基底800具有相同的摻質形成，因此彼此會相互耦接，從而基體電位會等於基底電位。

值得注意的是，上述之高電壓元件其N型淡摻雜區818、P型井區804與N型摻雜區812之間係構成一NPN寄生雙載子電晶體，而N型濃摻雜區820、P型井區804與N型摻雜區812之間係構成另一NPN寄生雙載子電晶體。因此，當一脈衝電流自N型摻雜區810流入，並且使寄生雙載子電晶體之基極-射極電壓大於臨界電壓時，寄生雙載子電晶體之射極-集極之間會導通，即此二寄生雙載子電晶體會被啟動，從而達到靜電放電的防護功效。換言之，由N型摻雜區810流入的脈衝電流會流經此二寄生雙載子電晶體，並從N型摻雜區812導出。可進一步連接至系統電壓線VDD或接地電壓線VSS。而且，上述之N型濃摻雜區820與P型井區804之間的PN接面(Junction)崩潰電壓，係小於N型淡摻雜區818與P型井區804之間的PN接面崩潰電壓。因此，對於靜電放電防護而言，係以N型濃摻雜區820與P型井區804之間之較低的PN接面崩潰電壓作為靜電放電防護的崩潰電



五、發明說明 (10)

壓。

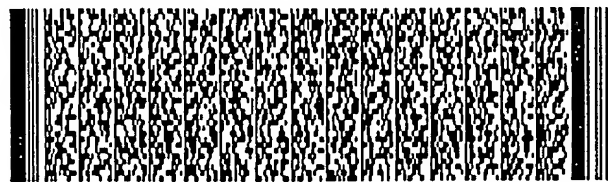
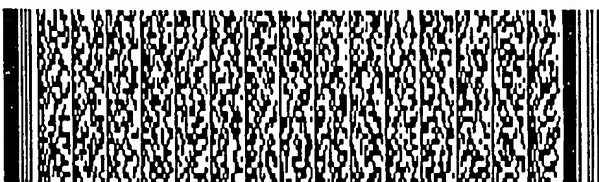
除此之外，在另一較佳實施例中，更包括於P型摻雜區816與N型摻雜區812之間配置另一隔離結構828(如圖10所示)。此時，基體區域的P型摻雜區816與作為源極的N型摻雜區812彼此分離，因此該二區域可供其他之高電壓元件使用，從而可以縮小整體元件設計所需之面積。

以下係說明以傳輸線觸波產生器量測本發明之高電壓元件所得之I-V特性的關係圖。請參照圖11，當脈衝電流增加時，例如是靜電放電轟擊(Zapping)發生時，N型濃摻雜區820與P型井區804之間的PN接面由於接面崩潰電壓較低，因此會先崩潰(C點)。然後，N型淡摻雜區818、P型井區804與N型摻雜區812，以及N型濃摻雜區820、P型井區804、N型摻雜區812所構成之二寄生雙載子電晶體會開啟，而使I-V曲線進入突回(Snapback)區域(D-E之間)，並且於E點失效。由圖11可知，本發明之高電壓元件，相較習知之高電壓元件，在靜電放電防護上即使承受較高的脈衝電流，其對應的電壓值仍相對較小，因此本發明之高電壓元件具有較佳的耐受度。

綜上所述，本發明至少具有下面的優點：

1. 本發明之高電壓元件，由於具有較佳之I-V特性，因此可以承受較高的脈衝電流，即具有較高的耐受度，故可作為靜電放電防護之用及I/O緩衝器。

2. 本發明之用於靜電放電保護電路之高電壓元件可依照不同的電路需求，使不同的高電壓元件共用相同的區

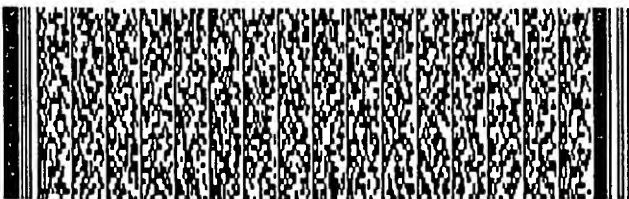


五、發明說明 (11)

域，因此可以達到節省面積之功效。

3. 在上述實施例中，雖僅以靜電放電保護電路說明本發明之高電壓元件的應用，然非用以限定本發明之應用範疇。本發明之高電壓元件，亦適用於高電壓與電源積體電路或視訊介面等電路設計。其例如是顯示器驅動IC、電源供應器、電源管理器、通訊設備、車用電子與工業控制器等。而且，在系統電壓介於12~50伏特、或是更高的電壓下仍具有良好的操作。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1是美國專利第6,624,487號中所揭露之用於靜電放電保護電路之元件的剖面示意圖。

圖2是美國專利第6,365,941號中所揭露之用於靜電放電保護電路之元件的剖面示意圖。

圖3是美國專利第5,932,914號中所揭露之用於靜電放電保護電路之元件的剖面示意圖。

圖4是美國專利第6,365,932號中所揭露之用於靜電放電保護電路之元件的剖面示意圖。

圖5是習知一種用於高電壓系統的對稱式NMOS。

圖6是習知一種用於高電壓系統的非對稱式NMOS。

圖7是圖5之對稱式之用於高電壓系統的NMOS，其藉由傳輸線觸波產生器量測所得之I-V特性的關係圖。

圖8是依照本發明之一較佳實施例的一種高電壓元件之上視示意圖。

圖9是圖8之高電壓元件由I-I'剖面所得之剖面示意圖。

圖10是依照本發明之另一較佳實施例的一種高電壓元件之剖面示意圖。

圖11是本發明之高電壓元件，其藉由傳輸線觸波產生器量測所得之I-V特性的關係圖。

【圖式標記說明】

100、102、200、306：金屬氧化半導體(場效)電晶體

104a、104b、600：汲極

202、300：二極體



圖式簡單說明

302 : NPN 保護雙載子電晶體

304、500、502、508、514、608、804、806 : 井區

308 : 埋入層

400、402、504、506、516、810、812、816、818、

820 : 摻雜區

510、802 : 磊晶矽層

512、800 : 基底

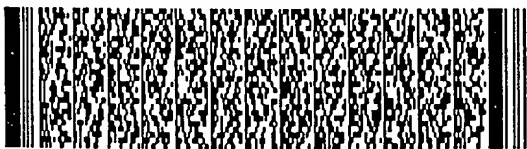
518、604、814、826、828 : 隔離結構

520、602、824 : 閘極

606 : 源極

808 : 閘極堆疊結構

822 : 閘介電層



六、申請專利範圍

1. 一種用於靜電放電保護電路之高電壓元件，包括：

一第一型基底；

一第一型磊晶矽層，配置在該第一型基底中；

一第一型井區，配置在該第一型磊晶矽層中；

一第二型井區，配置在該第一型磊晶矽層中，且該第二型井區係由一第二型淡摻雜區與一第二型濃摻雜區所構成，其中該第二型淡摻雜區與該第一型井區鄰接，而該第二型濃摻雜區係位於部分該第一型井區與該第二型淡摻雜區的下方；

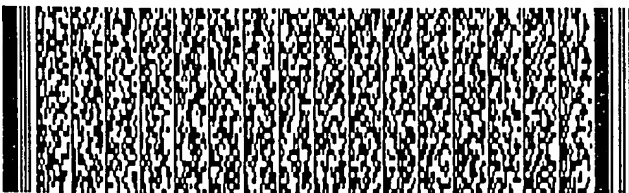
一閘極堆疊結構，配置在該第一型井區與該第二型淡摻雜區的部分表面上；

一第二型第一摻雜區與一第二型第二摻雜區，分別配置在該閘極堆疊結構兩側之該第二型淡摻雜區與該第一型井區中；

一第一隔離結構，配置在該第二型淡摻雜區中，且位於該閘極堆疊結構與該第二型第一摻雜區之間；以及

一第一型摻雜區，配置在該第一型井區中，且與該第二型第二摻雜區鄰接。

2. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，其中該第二型淡摻雜區、該第一型井區與該第二型第二摻雜區之間係構成一寄生雙載子電晶體，且該第二型濃摻雜區、該第一型井區與該第二型第二摻雜區之間係構成另一寄生雙載子電晶體，以使由該第二型第一摻雜區所流入之脈衝電流，藉由該二寄生雙載子電晶體



六、申請專利範圍

從該第二型第二摻雜區導出。

3. 如申請專利範圍第2項所述之用於靜電放電保護電路之高電壓元件，其中該第二型濃摻雜區與該第一型井區之間的PN接面(Junction)崩潰電壓，小於該第二型淡摻雜區與該第一型井區之間的PN接面崩潰電壓，而且該第二型濃摻雜區與該第一型井區之間的PN接面崩潰電壓為靜電放電保護電路裝置的崩潰電壓。

4. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，更包括一第二隔離結構，配置在該第一型井區中，且位於該第一型摻雜區與該第二型第二摻雜區之間。

5. 如申請專利範圍第4項所述之用於靜電放電保護電路之高電壓元件，其中該第二隔離結構包括一場氧化(Field Oxide)隔離結構或一淺溝渠隔離結構(Shallow Trench Isolation, STI)。

6. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，其中該第一隔離結構包括一場氧化隔離結構或一淺溝渠隔離結構。

7. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，其中該第二型第一摻雜區、該第二型淡摻雜區與該第二型濃摻雜區係共同作為一汲極，且該第二型第二摻雜區係作為一源極。

8. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，其中該第二型淡摻雜區包括一高電壓第



六、申請專利範圍

二型井區。

9. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，其中該第二型濃摻雜區包括一第二型埋入層(Buried Layer, BL)。

10. 如申請專利範圍第1項所述之用於靜電放電保護電路之高電壓元件，其中該第一型為P型，且該第二型為N型。

11. 一種高電壓元件，包括：

- 一第一型基底；
- 一第一型磊晶矽層，配置在該第一型基底中；
- 一第一型井區，配置在該第一型磊晶矽層中；
- 一第二型井區，配置在該第一型磊晶矽層中，且該第二型井區係由一第二型淡摻雜區與一第二型濃摻雜區所構成，其中該第二型淡摻雜區與該第一型井區鄰接，而該第二型濃摻雜區係位於部分該第一型井區與該第二型淡摻雜區的下方；
- 一閘極堆疊結構，配置在該第一型井區與該第二型淡摻雜區的部分表面上；
- 一第二型第一摻雜區與一第二型第二摻雜區，分別配置在該閘極堆疊結構兩側之該第二型淡摻雜區與該第一型井區中；
- 一第一隔離結構，配置在該第二型淡摻雜區中，且位於該閘極堆疊結構與該第二型第一摻雜區之間；以及
- 一第一型摻雜區，配置在該第一型井區中，且與該第



六、申請專利範圍

二型第二摻雜區鄰接。

12. 如申請專利範圍第11項所述之高電壓元件，更包括一第二隔離結構，配置在該第一型井區中，且位於該第一型摻雜區與該第二型第二摻雜區之間。

13. 如申請專利範圍第12項所述之高電壓元件，其中該第二隔離結構包括一場氧化隔離結構或一淺溝渠隔離結構。

14. 如申請專利範圍第11項所述之高電壓元件，其中該第一隔離結構包括一場氧化隔離結構或一淺溝渠隔離結構。

15. 如申請專利範圍第11項所述之高電壓元件，其中該高電壓元件係於電路設計中使用。

16. 如申請專利範圍第15項所述之高電壓元件，其中該高電壓元件係於顯示器驅動IC、電源供應器、電源管理器(Power Management)、通訊設備(Telecommunications)、車用(Automotive)電子與工業控制器中使用。

17. 如申請專利範圍第11項所述之高電壓元件，其中該第二型第一摻雜區、該第二型淡摻雜區與該第二型濃摻雜區係共同作為一汲極，且該第二型第二摻雜區係作為一源極。

18. 如申請專利範圍第11項所述之高電壓元件，其中該第二型淡摻雜區包括一高電壓第二型井區。

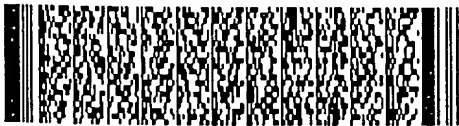
19. 如申請專利範圍第11項所述之高電壓元件，其中



六、申請專利範圍

該第二型濃摻雜區包括一第二型埋入層。

20. 如申請專利範圍第11項所述之高電壓元件，其中該第一型為P型，且該第二型為N型。



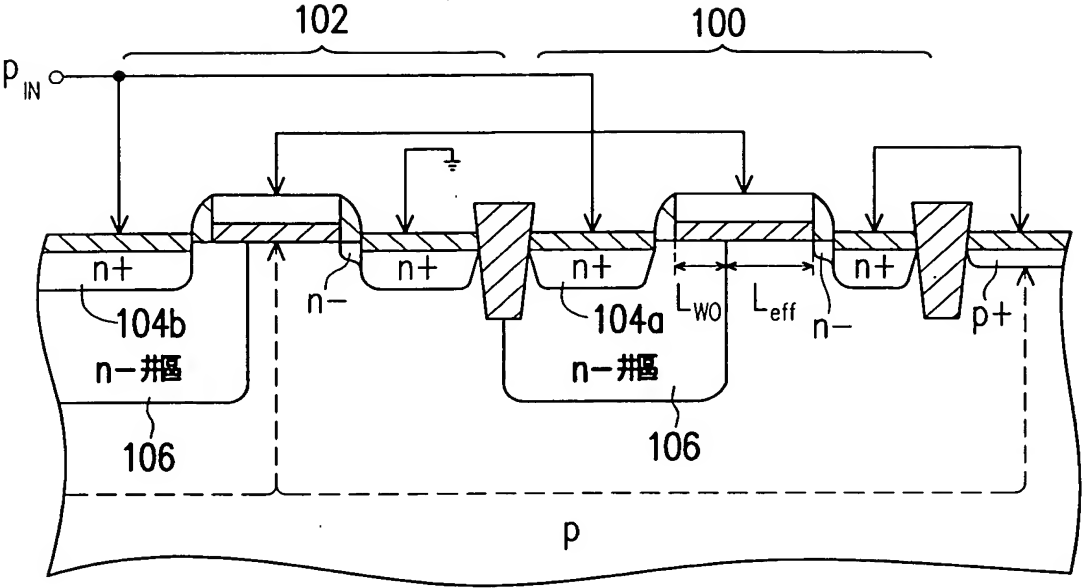


圖 1

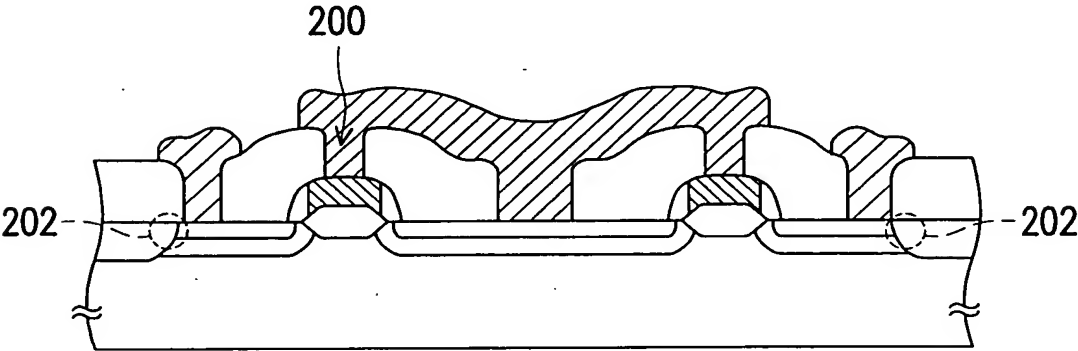


圖 2

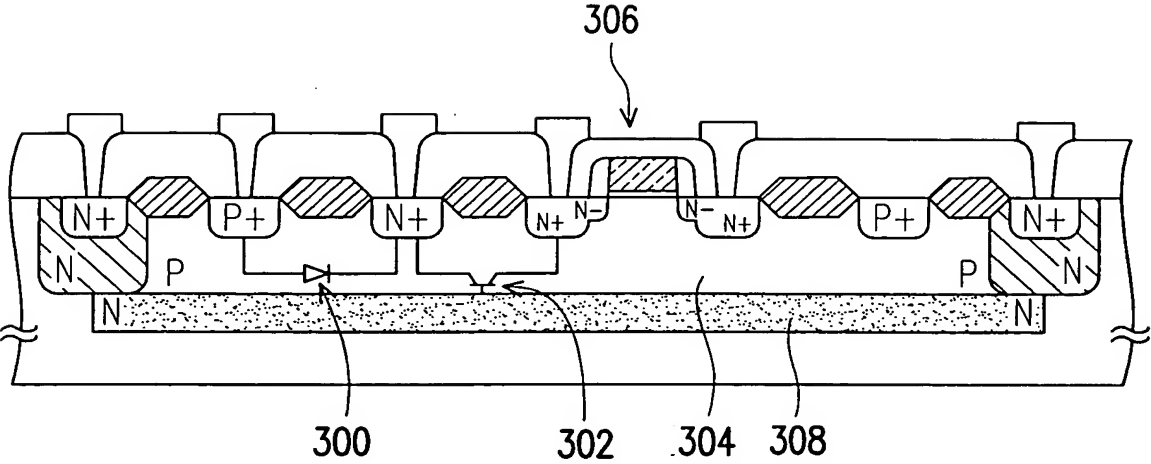


圖 3

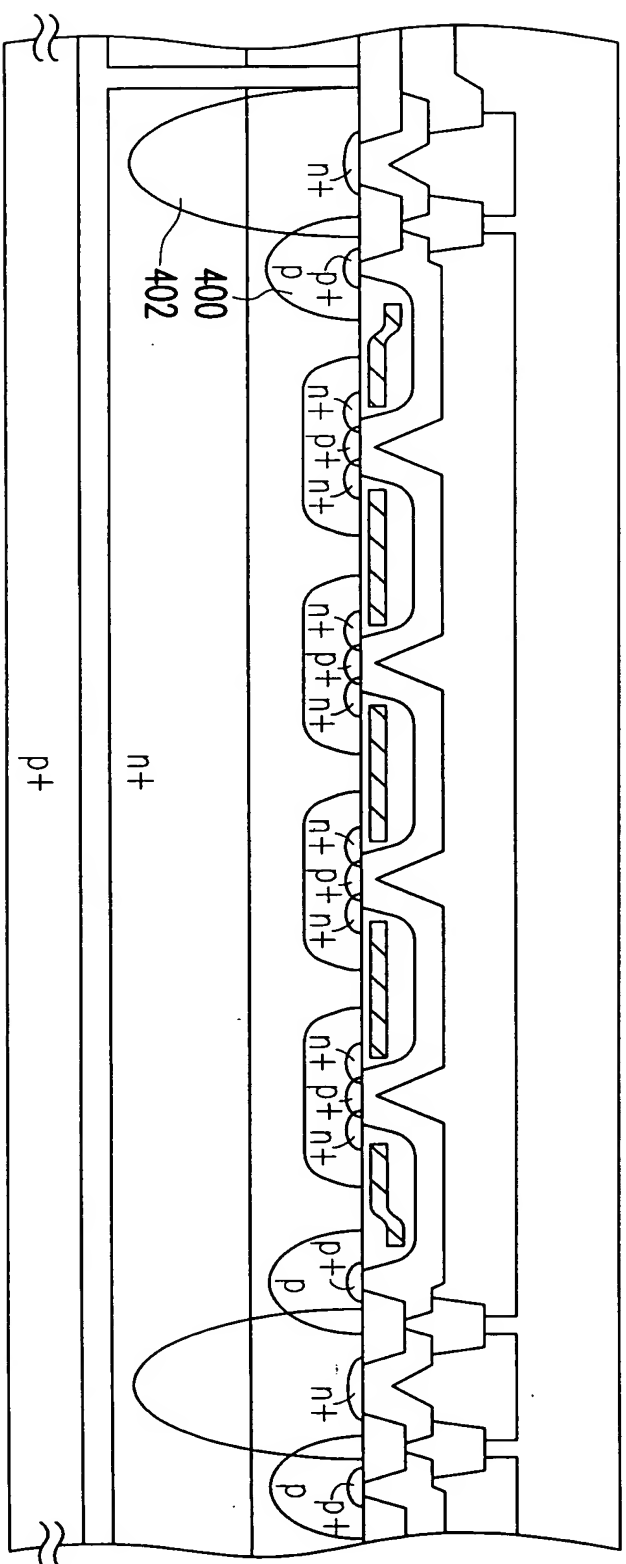


圖 4

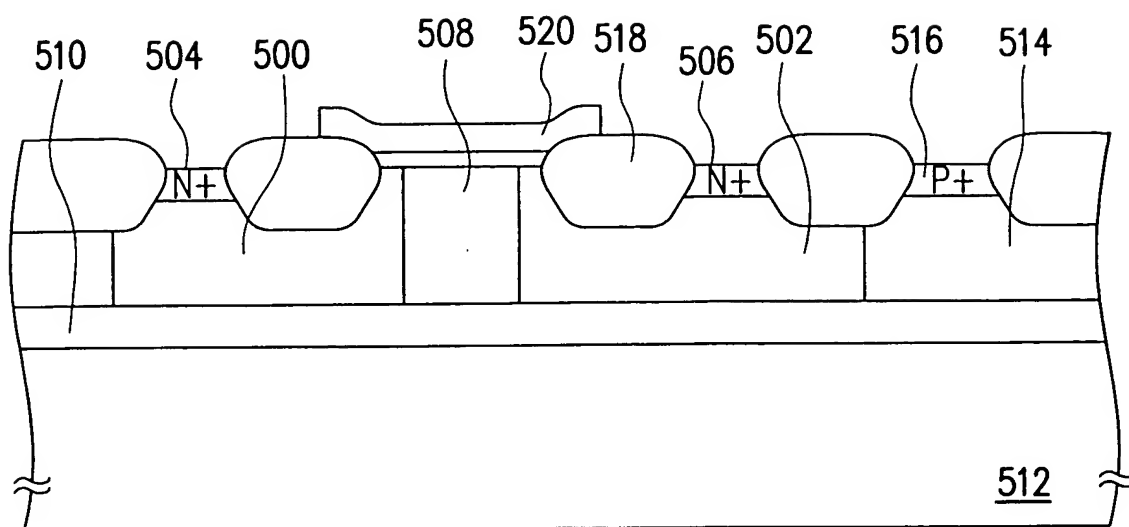


圖 5

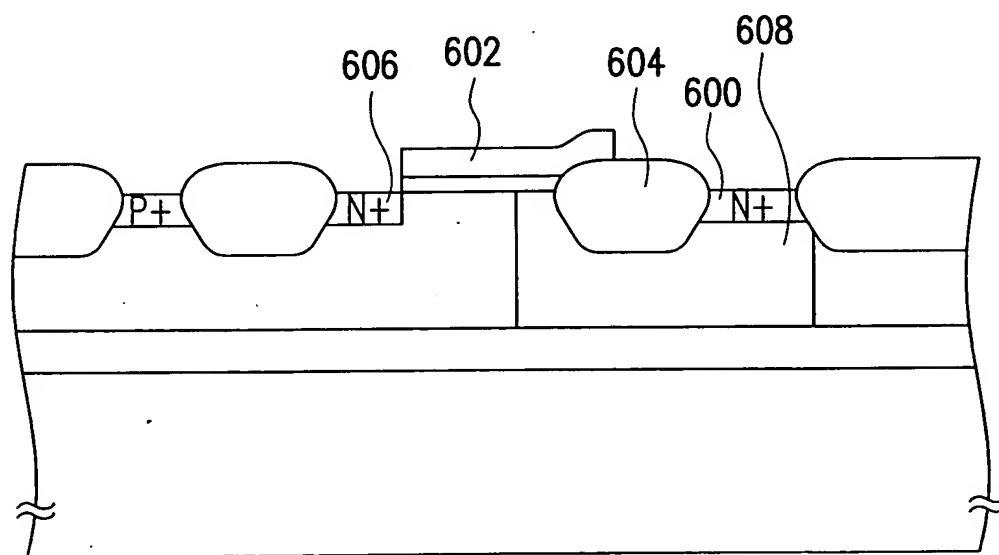


圖 6

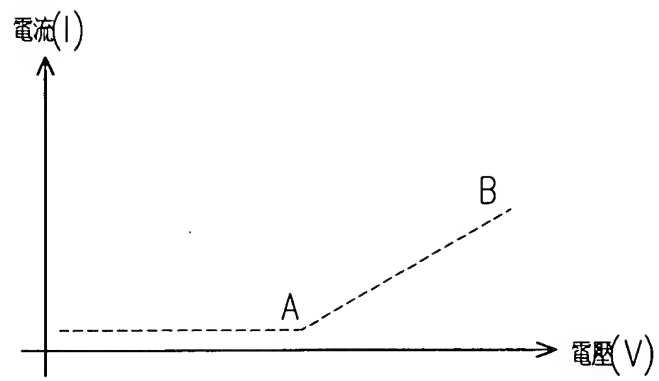


圖 7

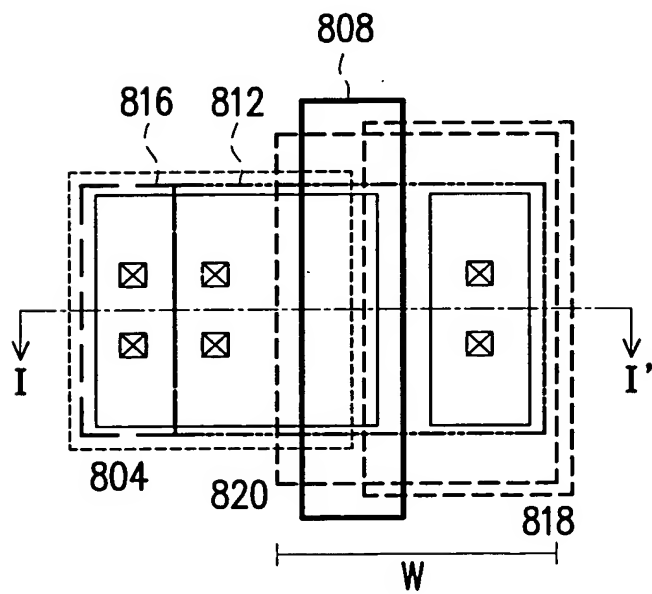


圖 8

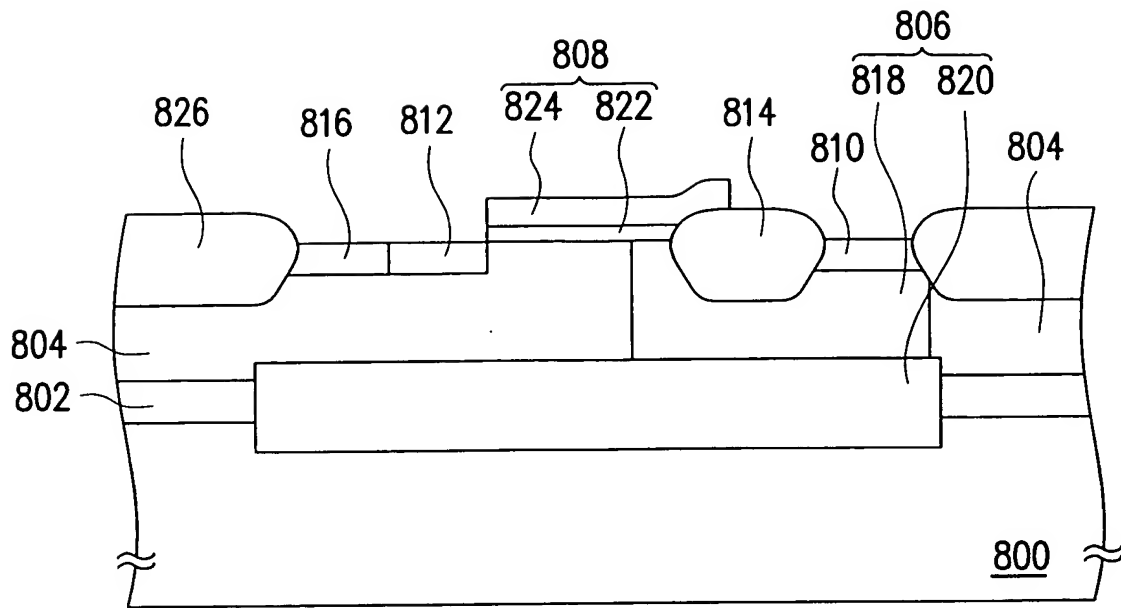


圖 9

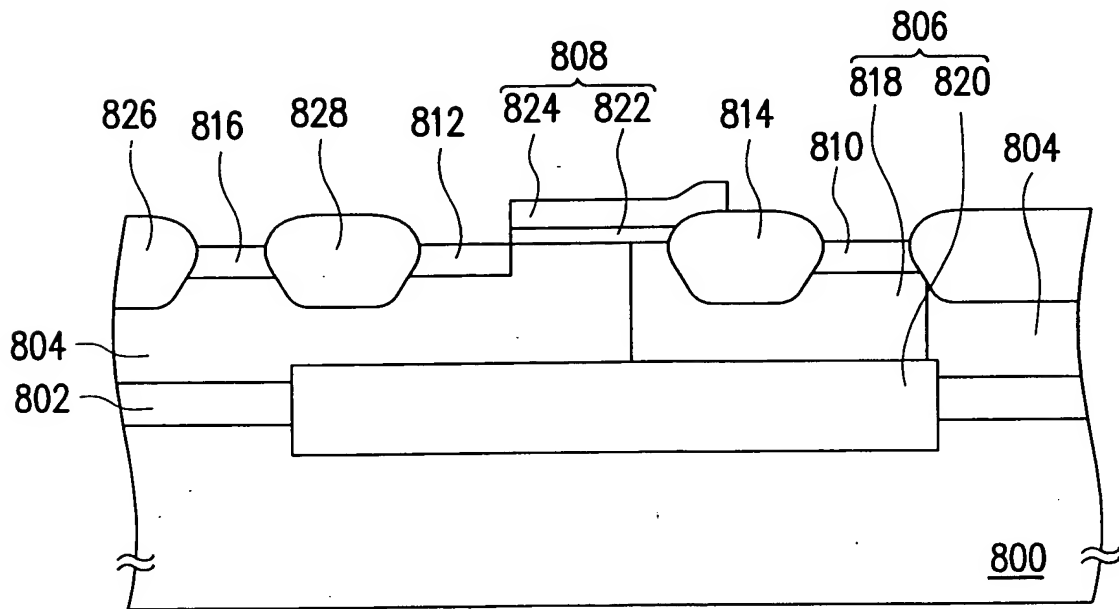


圖 10

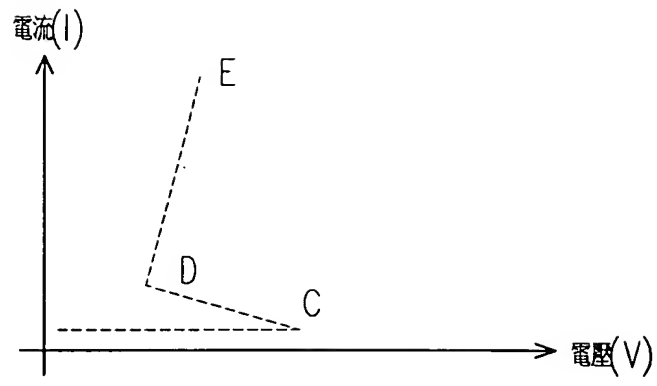


圖 11

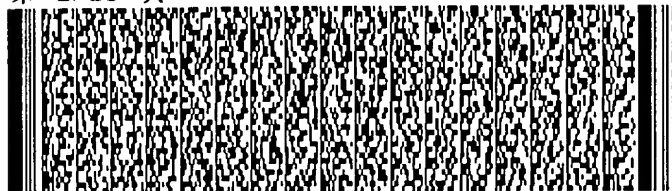
第 1/25 頁



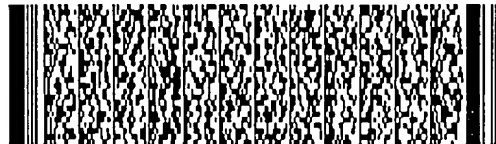
第 1/25 頁



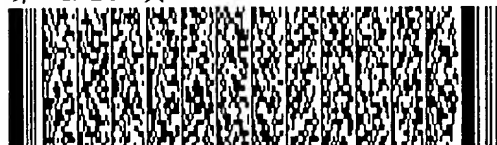
第 2/25 頁



第 3/25 頁



第 4/25 頁



第 5/25 頁



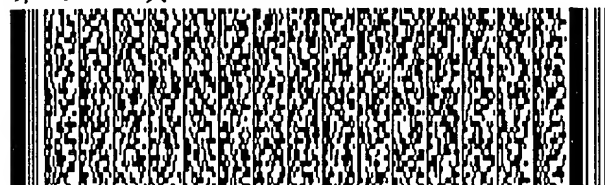
第 6/25 頁



第 7/25 頁



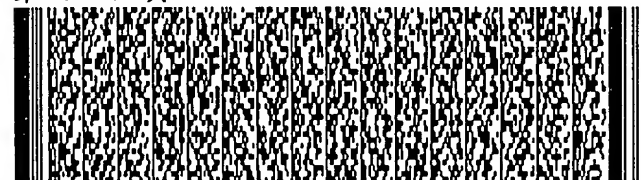
第 8/25 頁



第 8/25 頁



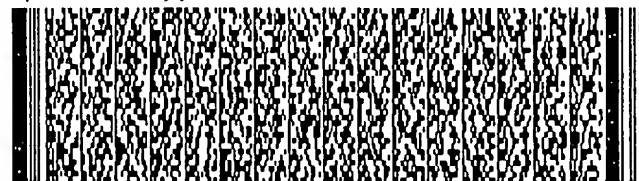
第 9/25 頁



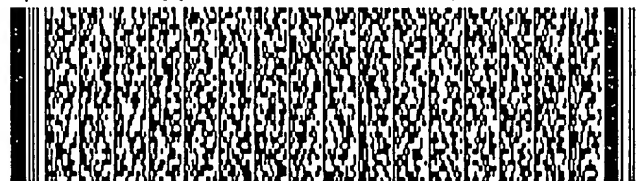
第 9/25 頁



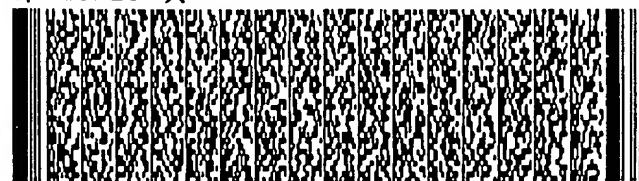
第 10/25 頁



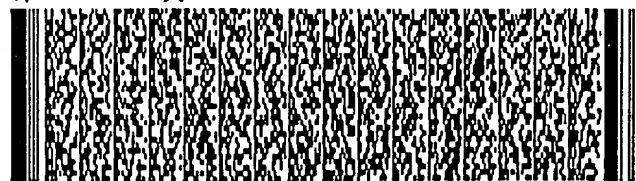
第 10/25 頁



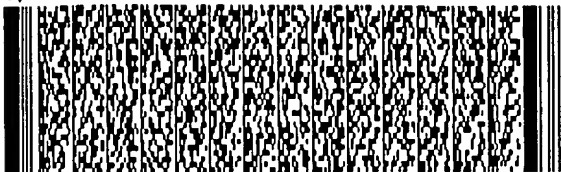
第 11/25 頁



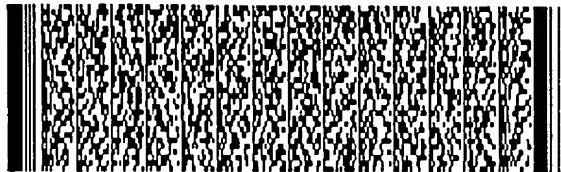
第 11/25 頁



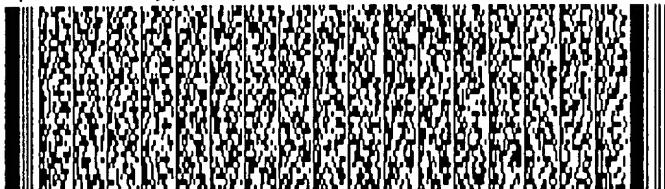
第 12/25 頁



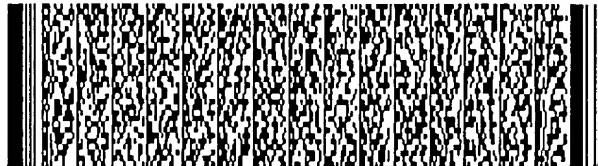
第 12/25 頁



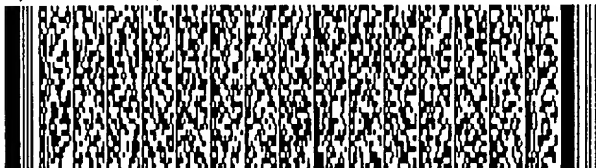
第 13/25 頁



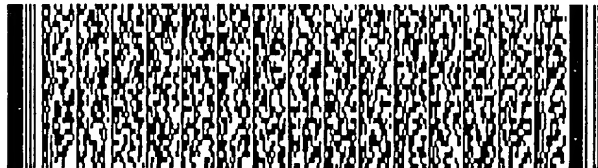
第 14/25 頁



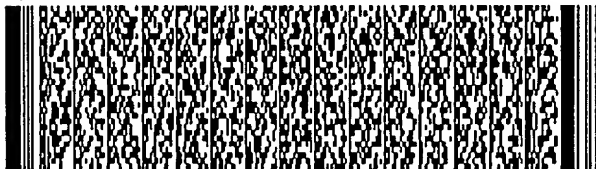
第 14/25 頁



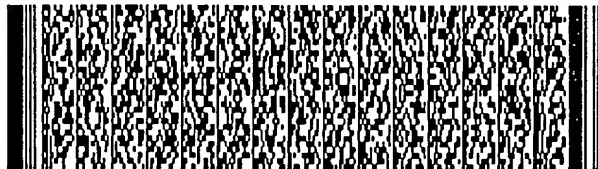
第 15/25 頁



第 15/25 頁



第 16/25 頁



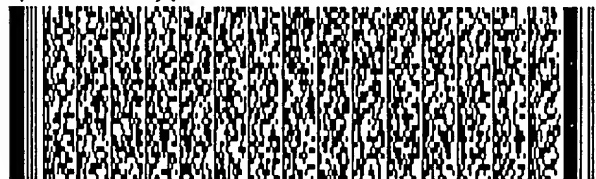
第 16/25 頁



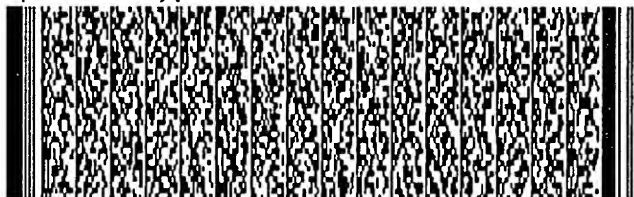
第 17/25 頁



第 17/25 頁



第 18/25 頁



第 19/25 頁



第 20/25 頁



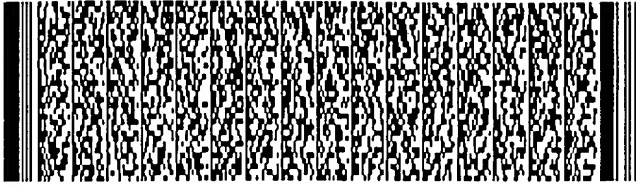
第 21/25 頁



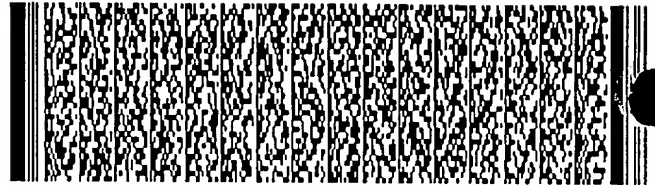
第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

